

International Electron Device Meeting, 15, 2.1-4 (December 1998)), and the like.

(Patent Law, Section 29(2))

2. Claims 27 to 31 describe a method of manufacturing a semiconductor memory device, which comprises a step of forming a main gate and an auxiliary gate. This method could be easily made on the basis of the method of manufacturing the double gate SOI MOSFET of the cited invention 1, the method of manufacturing the double gate poly Si TFT of the cited invention 2, the method of manufacturing the double gate SOI MOSFET of the cited invention 3, and the like.

[Documents Attached]

1. Cited invention 1 (International Workshop on VLSI Process and Device Modeling, pp. 150-151 (May 14-15, 1999))
2. Cited invention 2 (Fourth Asian Symposium on Information Display, pp. 219-222 (Feb. 13-14, 1997))
3. Cited invention 3 (International Electron Device Meeting, 15, 2.1-4 (December 1998))

26309

출력 일자: 2003/12/1

발송번호 : 9-5-2003-047610669
발송일자 : 2003.11.28
제출기일 : 2004.01.28

수신 : 서울 종로구 내자동 219 한누리빌딩(김&
장 특허법률사무소)
장수길 귀하

특허청 의견제출통지서



출원인 명칭 가부시끼가이샤 도시바 (출원인코드: 519980849672)
주소 일본국 도쿄도 미나토구 시바우라 1쵸메 1방 1고
대리인 성명 장수길 외 1 명
주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)
출원번호 10-2002-0008418
발명의 명칭 반도체 메모리 장치 및 그 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인 통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-31항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

1. 청구항 제1-26항의 주 게이트와 보조 게이트를 갖는 반도체 메모리 장치는 인용발명1(International Workshop on VLSI Process and Device Modeling, pp150 ~ 151(1993.05.14 ~ 15))의 "Analytical Surface Potential Expression for Double gate SOI MOSFET"에 나타난 Double gate SOI MOSFET 및 인용발명2(Fourth Asian Symposium on Information Display, pp219 ~ 222(1997.02.13 ~ 14))의 Double gate Poly Si TFT 및 인용발명3(International Electron device Meeting, 15.2.1 ~ 4(1998.12.))의 Double Gate SOI MOSFET 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조 제2항)
2. 청구항 제27-31항의 주 게이트와 보조 게이트를 형성하는 공정을 갖는 반도체 메모리 장치의 제조방법은 인용발명1의 Double gate SOI MOSFET 제조방법, 인용발명2의 Double gate Poly Si TFT 제조방법 및 인용발명3의 Double Gate SOI MOSFET 제조방법 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)

[참 부]

- 첨부 1 인용발명1(International Workshop on VLSI Process and Device Modeling, pp150 ~ 151(1993.05.14 ~ 15))
첨부 2 인용발명2(Fourth Asian Symposium on Information Display, pp219 ~ 222(1997.02.13 ~ 14))
첨부 3 인용발명3(International Electron device Meeting, 15.2.1 ~ 4(1998.12.)) 끝.

출력 일자: 2003/12/1

2003.11.28

특허청

심사4국

반도체2심사담당관실

심사관 김근모



<<안내>>

문의사항이 있으시면 ☎ 042-481-5985 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터